

# PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2002-182614

(43)Date of publication of application : 26.06.2002

(51)Int.CI.

G09G 3/36  
G02F 1/133  
G09F 9/00  
G09F 9/30  
G09G 3/20

(21)Application number : 2000-376295

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.12.2000

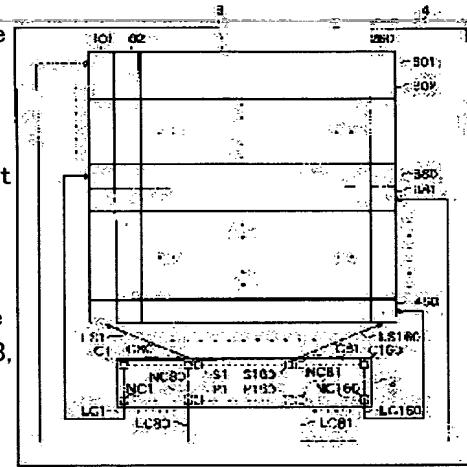
(72)Inventor : AOKI SHIGEKI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a multi-output semiconductor device facilitate wiring to a picture display device, and also realizing a stable package.

**SOLUTION:** This semiconductor device is provided with segment signal output terminals S1-S6 for outputting segment signals, common signal output terminals C1-C6 for outputting common signals, dummy terminals NC1-NC160, input terminals P1-P160, bi-directional shift registers 5-6 for outputting the common output signals from the common signal output terminals C1-C160, a shift direction signal output circuit 7 for controlling the shift registers 5-6, a common direction scanning signal input control circuit 8, and a shift register connection control circuit 9.



## LEGAL STATUS

[Date of request for examination]

13.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

**[Claim 1]** The driving signal of the 1st group is supplied to the signal electrode of the 1st group of the image display device which displays a two-dimensional image. It is a semiconductor device for supplying the driving signal of the 2nd group to the signal electrode of the 2nd group. The output terminal of the 1st group for being arranged to the 1st field along the 1st side of the longitudinal direction of said semiconductor device, and outputting the driving signal of the predetermined number of the driving signals of the 1st group to said image display device. The output terminal of the 2nd group for being arranged to the 2nd field which adjoins said 1st field along said 1st side, and outputting the driving signal of the 2nd group to said image display device. The output terminal of the 3rd group for being arranged to the 3rd field which adjoins said 2nd field along said 1st side, and outputting the remaining driving signals of the driving signals of the 1st group to said image display device. The 1st bidirectional register which supplies the driving signal of the 1st group by which the sequential input was carried out to the output terminal of said 1st group in the sequence to which it is set by the control signal, respectively. The 2nd bidirectional register which cascade connection is carried out to said 1st bidirectional register, and supplies the driving signal of the 1st group by which the sequential input was carried out to the output terminal of said 3rd group in the sequence to which it is set by the control signal, respectively. The semiconductor device possessing the dummy terminal of the 1st group arranged along the 2nd side of the longitudinal direction of said semiconductor device corresponding to the output terminal of said 1st group, and the dummy terminal of the 2nd group arranged along said 2nd side corresponding to the output terminal of said 3rd group.

**[Claim 2]** The semiconductor device according to claim 1 characterized by for said image display device being a liquid crystal display, for the driving signals of said 1st group being two or more common signals supplied to two or more common electrodes of said liquid crystal display, respectively, and the driving signals of said 2nd group being two or more segment signals supplied to two or more segment electrodes of said liquid crystal display, respectively.

---

**[Translation done.]**

**\* NOTICES \***

**JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device (driver IC) which drives display devices, such as the LCD panel.

[0002]

[Description of the Prior Art] In order to realize conventionally 1 chip driver IC of many outputs and a \*\* pitch which drives the LCD panel, it was required in the chip to enlarge the output pitch of a common signal output part in consideration of mounting balance in to take the large gap between a segment signal output part and a common signal output part for wiring \*\*\*\* etc.

[0003]

[Problem(s) to be Solved by the Invention] However, when it was made such, there was a problem that the chip size of a driver IC will become large. Moreover, if the number of output signals increases, while leading about of wiring on the LCD panel from a driver IC will become difficult, the frame section of the LCD panel will become large. Furthermore, wiring of the LCD panel became thin and there was a problem that image quality will deteriorate.

[0004] Then, while this invention makes wiring to an image display device easy in view of the above-mentioned point, it aims at offering the semiconductor device of the many outputs which can realize stable mounting.

[0005]

[Means for Solving the Problem] In order to solve the above technical problem, the semiconductor device concerning this invention The driving signal of the 1st group is supplied to the signal electrode of the 1st group of the image display device which displays a two-dimensional image. It is a semiconductor device for supplying the driving signal of the 2nd group to the signal electrode of the 2nd group. The output terminal of the 1st group for being arranged to the 1st field along the 1st side of the longitudinal direction of a semiconductor device, and outputting the driving signal of the predetermined number of the driving signals of the 1st group to an image display device, The output terminal of the 2nd group for being arranged to the 2nd field which adjoins the 1st field along the 1st side, and outputting the driving signal of the 2nd group to an image display device, The output terminal of the 3rd group for being arranged to the 3rd field which adjoins the 2nd field along the 1st side, and outputting the remaining driving signals of the driving signals of the 1st group to an image display device, The 1st bidirectional register which supplies the driving signal of the 1st group by which the sequential input was carried out to the output terminal of the 1st group in the sequence to which it is set by the control signal, respectively, The 2nd bidirectional register which cascade connection is carried out to the 1st bidirectional register, and supplies the driving signal of the 1st group by which the sequential input was carried out to the output terminal of the 3rd group in the sequence to which it is set by the control signal, respectively, The dummy terminal of the 1st group arranged along the 2nd side of the longitudinal direction of a semiconductor device corresponding to the output terminal of the 1st group and the dummy terminal of the 2nd group arranged along the 2nd side corresponding to the output terminal of the 3rd group are provided.

[0006] Here, an image display device may be a liquid crystal display, and the driving signals of the 1st group may be two or more common signals supplied to two or more common electrodes of a liquid crystal display, respectively, and may be two or more segment signals which the driving signal of the 2nd group supplies to two or more segment electrodes of a liquid crystal display, respectively.

[0007] According to the semiconductor device concerning this invention constituted as mentioned above, by supplying the driving signal of the 1st group by which the sequential input was carried out to the output terminal of the 1st group and the 3rd group in the sequence to which it is set by the control

signal, respectively, wiring of various patterns is enabled between a semiconductor device and an image display device, wiring to an image display device can be made easy, and mounting stabilized using the dummy terminal can be realized further.

[0008]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing. In addition, the same reference number is given to the same component, and explanation is omitted.

[0009] Drawing 1 is drawing showing the example of the LCD module using the semiconductor device concerning 1 operation gestalt of this invention. This operation gestalt applies this invention to the driver IC for LCD.

[0010] As shown in drawing 1, this LCD module 1 contains the driver IC 2, the LCD panel 3, and the glass substrate 4. That is, a driver IC 2 and the LCD panel 3 are mounted on a glass substrate 4, and the LCD module 1 is constituted.

[0011] The LCD panel 3 has two or more fields 101 and 102 and ... in the direction of a segment, and has two or more fields 301 and 302 and ... also in the common direction. Here, one pixel (dot) is specified by pinpointing one field of the direction of a segment, and one field of the common direction. As an example, the LCD panel 3 has 160 fields in the direction of a segment, and has 160 fields also in the common direction. In this case, the LCD panel 3 will have the pixel of 160x160.

[0012] a driver IC -- two -- one -- a \*\* -- a direction -- being long -- a configuration -- having -- \*\*\* -- the -- a component side -- a longitudinal direction -- one -- a side (side of the method of drawing Nakagami) -- a center section -- meeting -- a segment -- a signal -- outputting -- a sake -- gold -- ( -- Au -- ) -- a bump -- a segment -- a signal -- an output terminal -- S -- one - S -- 160 -- forming -- having -- \*\*\* . Moreover, along with the part of the both sides of the above-mentioned center section of one side (side of the method of drawing Nakagami) of the longitudinal direction of the component side of a driver IC 2, the common signal output terminals C1-C80 of the golden (Au) bump for outputting a common signal, and C81-C160 are formed. Furthermore, along the other sides (side of the method of drawing Nakashita) of the longitudinal direction of the component side of a driver IC 2, the dummy terminals NC1-NC80, and NC81-NC160 are formed so that it may counter with the common signal output terminals C1-C80, and C81-C160. Moreover, a golden (Au) bump's input terminals P1-P160 are formed along the other sides (side of the method of drawing Nakashita) of the longitudinal direction of the component side of a driver IC 2 between the dummy terminals NC1-NC80, and NC81-NC160.

[0013] Wiring LS1-LS160, and transparent LC1-transparent LC160 are formed on the glass substrate 4. The segment signal output terminals S1-S160 of a driver IC 2 are connected to the fields 101-260 of the LCD panel 3 by wiring LS1-LS160, respectively. Moreover, the common signal output terminals C80-C1 of a driver IC 2 are connected to the fields 301-380 of the LCD panel 3 by wiring LC80-LC1, respectively, and the common signal output terminals C81-C160 of a driver IC 2 are connected to the fields 381-460 of the LCD panel 3 by wiring LC81-LC160, respectively.

[0014] Here, after extending in the down one in drawing once from the common signal output terminals C80-C1 of a driver IC 2 and passing through the bottom of the dummy terminals NC80-NC1, wiring LC80-LC1 is formed so that fields 301-380 may be reached [ from the left-hand side of the LCD panel 3 ]. On the other hand, after extending in the down one in drawing once from the common signal output terminals C81-C160 of a driver IC 2 and passing through the bottom of the dummy terminals NC81-NC160, wiring LC81-LC160 is formed so that fields 381-460 may be reached [ from the right-hand side of the LCD panel 3 ].

[0015] Two bidirectional shift registers 5-6 contained in drawing 2 at the driver IC 2, and the shift direction signal output circuits 7 which control these shift registers 5-6, the common direction scan signal input-control circuits 8 and the shift register connection control circuits 9 are shown.

[0016] Each of shift registers 5-6 is equipped with the shift direction signal input DIR, the clock signal

input CLK, the 1st and 2nd inputs IN1-IN2, the 1st and 2nd inputs OUT1-OUT2, and the shift outputs SH1-SH80.

[0017] When a signal high-level to the shift direction signal input DIR is inputted, each of shift registers 5-6 shifts the signal inputted from the 1st input IN1 to the clock signal input CLK synchronizing with the clock signal into which it is inputted, and carries out a sequential output from the shift outputs SH1-SH80 and the 1st output OUT1. Moreover, when the signal of a low level is inputted into the shift direction signal input DIR, each of shift registers 5-6 shifts the signal inputted from the 2nd input IN2 to the clock signal input CLK synchronizing with the clock signal into which it is inputted, and carries out a sequential output from the shift outputs SH80-SH1 and the 2nd output OUT2.

[0018] The shift outputs SH1-SH80 of a shift register 5 are connected to the common signal output terminals C1-C80 (refer to drawing 1), respectively. Moreover, the shift outputs SH81-SH160 of a shift register 6 are connected to the common signal output terminals C81-C160 (refer to drawing 1), respectively.

[0019] The shift direction signal output circuit 7 outputs the shift-common signal output directional-control signal which shows in what kind of sequence common signal is outputted from common signal output terminals C1-C160 direction signal according to reception and this common signal output directional-control signal to each of shift registers 5-6.

[0020] The common direction scan signal input-control circuit 8 outputs the common direction scan signal for a common signal output directional-control signal to the 1st input IN1 or the 2nd input IN2 of a shift register 5 according to reception and this common signal output directional-control signal.

[0021] The shift register connection control circuit 9 connects the 1st output OUT1 of a shift register 5 or the 2nd output OUT2, the 1st input IN1 of a shift register 6, or the 2nd input IN2 for a common signal output directional-control signal according to reception and this common signal output directional-control signal.

[0022] Next, actuation of shift registers 5-6 is explained. In drawing 2, the clock signal of predetermined frequency is always inputted into the clock signal input CLK of shift registers 5-6 from the clock generator (not shown). Moreover, the common signal output directional-control signal which directs to carry out a sequential output in the sequence of subsequently saying a common signal to the common signal output terminals C80-C1 C81-C160 is inputted into the shift direction signal output circuit 7, the common direction scan signal input-control circuit 8, and the shift register connection control circuit 9.

[0023] According to the common signal output directional-control signal mentioned above, the shift direction signal output circuit 7 outputs a high-level signal for the signal of a low level to the shift direction signal input DIR of a shift register 5 at the shift direction signal input DIR of a shift register 6, respectively. Moreover, the common direction scan signal input-control circuit 8 transmits the common direction scan signal to the 2nd input IN2 of a shift register 5. Furthermore, the shift register connection control circuit 9 connects the 2nd output OUT2 of a shift register 5, and the 1st input IN1 of a shift register 6.

[0024] Therefore, in accordance with the path shown by the thick wire of drawing 2, the common direction scan signal is transmitted to the 2nd input IN2 of a shift register 5 from the common direction scan signal input-control circuit 8, and a sequential output is carried out to the common signal output terminals C80-C1. Subsequently, the common direction scan signal is transmitted to the 1st input IN1 of a shift register 6 via the shift register connection control circuit 9 from the 2nd output OUT2 of a shift register 5, and a sequential output is carried out to the common signal output terminals C81-C160.

[0025] If drawing 1 is referred to again, the sequential output of the segment signal will be carried out from the segment signal output terminals S1-S160 of a driver IC 2. On the other hand, from the common signal output terminals C80-C1 of a driver IC 2, and C81-C160, the sequential output of the common signal is carried out with the shift registers 5-6 mentioned above. Therefore, the LCD panel 3 can be driven by the driver IC 2.

[0026] In addition, it is possible not to form any terminal in the location which counters the common

signal output terminals C1–C160 of a driver IC 2, either. However, if any terminal is not formed in the location which counters the common signal output terminals C1–C160 of a driver IC 2, either, a driver IC 2 will float on a glass substrate 4 in the part, and mounting to the glass substrate 4 of a driver IC 2 will become instability. Then, in the driver IC 2 concerning this operation gestalt, mounting by which the driver IC 2 to a glass substrate 4 top was stabilized was realized by forming the dummy terminals NC1–NC160 in the location which counters the common signal output terminals C1–C160.

[0027] Next, other examples of the LCD module using the semiconductor device concerning 1 operation gestalt of this invention are explained, referring to drawing 3.

[0028] As shown in drawing 3, the segment signal output terminals S1–S160 of a driver IC 2 are connected to the fields 101–260 of the LCD panel 3 by wiring LS1–LS160, respectively. Moreover, the common signal output terminals C1–C80 of a driver IC 2 are connected to the fields 301–380 of the LCD panel 3 by wiring LC1–LC80, respectively, and the common signal output terminals C81–C160 of a driver IC 2 are connected to the fields 381–460 of the LCD panel 3 by wiring LC81–LC160, respectively.

[0029] Here, wiring LC1–LC80 is prolonged in the direction of the upper left in drawing from the common signal output terminals C1–C80 of a driver IC 2, and it is formed so that fields 301–380 may be reached [from the left-hand side of the LCD panel 3]. On the other hand, after extending in the down one in drawing once from the common signal output terminals C81–C160 of a driver IC 2 and passing through the bottom of the dummy terminals NC81–NC160, wiring LC81–LC160 is formed so that fields 381–460 may be reached [from the right-hand side of the LCD panel 3].

[0030] Next, actuation of shift registers 5–6 is explained, referring to drawing 4. In drawing 4, the clock signal of predetermined frequency is always inputted into the clock signal input CLK of shift registers 5–6 from the clock generator (not shown). Moreover, the common signal output directional-control signal which directs to carry out a sequential output in the sequence of subsequently saying a common signal to the common signal output terminals C1–C80 C81–C160 is inputted into the shift direction signal output circuit 7, the common direction scan signal input-control circuit 8, and the shift register connection control circuit 9.

[0031] According to the common signal output directional-control signal mentioned above, the shift direction signal output circuit 7 outputs a high-level signal to the shift direction signal input DIR of a shift register 5, and the shift direction signal input DIR of a shift register 6. Moreover, the common direction scan signal input-control circuit 8 transmits the common direction scan signal to the 1st input IN1 of a shift register 5. Furthermore, the shift register connection control circuit 9 connects the 1st output OUT1 of a shift register 5, and the 1st input IN1 of a shift register 6.

[0032] Therefore, in accordance with the path shown by the thick wire of drawing 4, the common direction scan signal is transmitted to the 1st input IN1 of a shift register 5 from the common direction scan signal input-control circuit 8, and a sequential output is carried out to the common signal output terminals C1–C80. Subsequently, the common direction scan signal is transmitted to the 1st input IN1 of a shift register 6 via the shift register connection control circuit 9 from the 1st output OUT1 of a shift register 5, and a sequential output is carried out to the common signal output terminals C81–C160.

[0033] If drawing 3 is referred to again, the sequential output of the segment signal will be carried out from the segment signal output terminals S1–S160 of a driver IC 2. On the other hand, from the common signal output terminals C1–C80 of a driver IC 2, and C81–C160, the sequential output of the common signal is carried out with the shift registers 5–6 mentioned above. Therefore, the LCD panel 3 can be driven by the driver IC 2.

[0034] As explained above, leading about of wiring like wiring LC1–LC160 is realizable by carrying out cascade connection of the two shift registers 5–6 in a driver IC 2, and setting up each shift direction in the predetermined direction.

[0035] Next, the example of further others of the LCD module using the semiconductor device concerning 1 operation gestalt of this invention is explained, referring to drawing 5 R>5.

[0036] As shown in drawing 5, the segment signal output terminals S1–S160 of a driver IC 2 are

connected to the fields 101–260 of the LCD panel 3 by wiring LS1–LS160, respectively. Moreover, the common signal output terminals C1–C80 of a driver IC 2 are connected to the fields 301–380 of the LCD panel 3 by wiring LC1–LC80, respectively, and the common signal output terminals C160–C81 of a driver IC 2 are connected to the fields 381–460 of the LCD panel 3 by wiring LC160–LC81, respectively.

[0037] Here, wiring LC1–LC80 is prolonged in the direction of the upper left in drawing from the common signal output terminals C1–C80 of a driver IC 2, and it is formed so that fields 301–380 may be reached [from the left-hand side of the LCD panel 3]. On the other hand, wiring LC160–LC81 is prolonged in drawing Nakamigi above from the common signal output terminals C160–C81 of a driver IC 2, and it is formed so that fields 381–460 may be reached [from the right-hand side of the LCD panel 3].

[0038] Next, actuation of shift registers 5–6 is explained, referring to drawing 6. In drawing 6, the clock signal of predetermined frequency is always inputted into the clock signal input CLK of shift registers 5–6 from the clock generator (not shown). Moreover, the common signal output directional-control signal which directs to carry out a sequential output in the sequence of subsequently saying a common signal to the common signal output terminals C1–C80 C160–C81 is inputted into the shift direction signal output circuit 7, the common direction scan signal input-control circuit 8, and the shift register connection control circuit 9.

[0039] According to the common signal output directional-control signal mentioned above, the shift direction signal output circuit 7 outputs a high-level signal to the shift direction signal input DIR of a shift register 5, and outputs the signal of a low level to the shift direction signal input DIR of a shift register 6, respectively. Moreover, the common direction scan signal input-control circuit 8 transmits the common direction scan signal to the 1st input IN1 of a shift register 5. Furthermore, the shift register connection control circuit 9 connects the 1st output OUT1 of a shift register 5, and the 2nd input IN2 of a shift register 6.

[0040] Therefore, in accordance with the path shown by the thick wire of drawing 6, the common direction scan signal is transmitted to the 1st input IN1 of a shift register 5 from the common direction scan signal input-control circuit 8, and a sequential output is carried out to the common signal output terminals C1–C80. Subsequently, the common direction scan signal is transmitted to the 2nd input IN2 of a shift register 6 via the shift register connection control circuit 9 from the 1st output OUT1 of a shift register 5, and a sequential output is carried out to the common signal output terminals C160–C81.

[0041] If drawing 5 is referred to again, the sequential output of the segment signal will be carried out from the segment signal output terminals S1–S160 of a driver IC 2. On the other hand, from the common signal output terminals C1–C80 of a driver IC 2, and C160–C81, the sequential output of the common signal is carried out with the shift registers 5–6 mentioned above. Therefore, the LCD panel 3 can be driven by the driver IC 2.

[0042] As explained above, leading about of wiring like wiring LC1–LC160 is realizable by carrying out cascade connection of the two shift registers 5–6 in a driver IC 2, and setting up each shift direction in the predetermined direction.

[0043]

[Effect of the Invention] Like, according to this invention, by supplying the driving signal which was described above and by which the sequential input was carried out to 2 sets of output terminals in the sequence to which it is set by the control signal, respectively, wiring of various patterns is enabled between a semiconductor device and an image display device, wiring to an image display device can be made easy, and mounting stabilized using the dummy terminal can be realized further.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the example of the LCD module using the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 2] It is drawing showing actuation of the bidirectional shift register in drawing 1.

[Drawing 3] It is drawing showing other examples of the LCD module using the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 4] It is drawing showing actuation of the bidirectional shift register in drawing 3.

[Drawing 5] It is drawing showing the example of further others of the LCD module using the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 6] It is drawing showing actuation of the bidirectional shift register in drawing 5.

[Description of Notations]

1, 11, 21 LCD module

2 Driver IC

3 The LCD Panel

4 Glass Substrate

5 Six Bidirectional shift register

7 The Shift Direction Signal Output Circuit

8 The Common Direction Scan Signal Input-Control Circuit

9 Shift Register Connection Control Circuit

101, 102, ... Field divided in the direction of a segment in the LCD panel

301, 302, ... Field divided in the common direction in the LCD panel

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-182614

(P2002-182614A)

(43)公開日 平成14年6月26日 (2002.6.26)

(51) Int.Cl.<sup>7</sup>  
G 0 9 G 3/36  
G 0 2 F 1/133  
G 0 9 F 9/00  
9/30  
G 0 9 G 3/20

識別記号  
5 4 5  
3 4 8  
3 3 0  
6 2 1

F I  
G 0 9 G 3/36  
G 0 2 F 1/133  
G 0 9 F 9/00  
9/30  
G 0 9 G 3/20

テ-マコ-ト<sup>\*</sup>(参考)  
2 H 0 9 3  
5 4 5  
3 4 8 C  
3 3 0 Z  
6 2 1 M  
5 G 4 3 5

審査請求 未請求 請求項の数 2 O L (全 8 頁) 最終頁に続く

(21)出願番号

特願2000-376295(P2000-376295)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日

平成12年12月11日 (2000.12.11)

(72)発明者 青木 茂樹

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅善 (外1名)

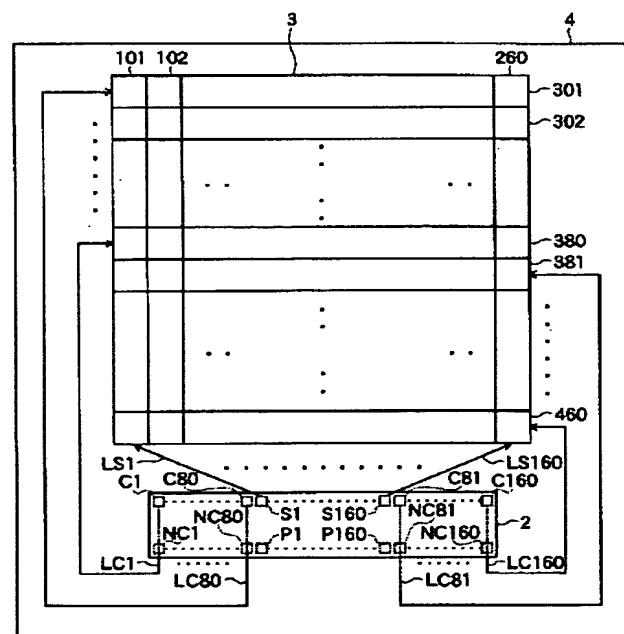
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 画像表示装置への配線を容易にすると共に、安定した実装を実現できる多出力の半導体装置を提供する。

【解決手段】 セグメント信号を出力するためのセグメント信号出力端子S1～S160と、コモン信号を出力するためのコモン信号出力端子C1～C160と、ダミー端子NC1～NC160と、入力端子P1～P160と、コモン信号出力端子C1～C160からコモン出力信号を出力する双方向シフトレジスタ5～6と、シフトレジスタ5～6を制御するシフト方向信号出力回路7、コモン方向走査信号入力制御回路8、及び、シフトレジスタ接続制御回路9とを具備する。



(2)

1

## 【特許請求の範囲】

【請求項1】 2次元画像を表示する画像表示装置の第1群の信号電極に第1群の駆動信号を供給し、第2群の信号電極に第2群の駆動信号を供給するための半導体装置であって、

前記半導体装置の長手方向の第1の辺に沿って第1の領域に配列され、第1群の駆動信号の内の所定数の駆動信号を前記画像表示装置に出力するための第1群の出力端子と、

前記第1の辺に沿って前記第1の領域に隣接する第2の領域に配列され、第2群の駆動信号を前記画像表示装置に出力するための第2群の出力端子と、

前記第1の辺に沿って前記第2の領域に隣接する第3の領域に配列され、第1群の駆動信号の内の残りの駆動信号を前記画像表示装置に出力するための第3群の出力端子と、

順次入力された第1群の駆動信号を制御信号によって定められる順番で前記第1群の出力端子にそれぞれ供給する第1の双方向レジスタと、

前記第1の双方向レジスタにカスケード接続され、順次入力された第1群の駆動信号を制御信号によって定められる順番で前記第3群の出力端子にそれぞれ供給する第2の双方向レジスタと、

前記半導体装置の長手方向の第2の辺に沿って前記第1群の出力端子に対応して配列された第1群のダミー端子と、

前記第2の辺に沿って前記第3群の出力端子に対応して配列された第2群のダミー端子と、を具備する半導体装置。

【請求項2】 前記画像表示装置が液晶表示装置であり、前記第1群の駆動信号が前記液晶表示装置の複数のコモン電極にそれぞれ供給する複数のコモン信号であり、前記第2群の駆動信号が前記液晶表示装置の複数のセグメント電極にそれぞれ供給する複数のセグメント信号であることを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、LCDパネル等の表示デバイスを駆動する半導体装置(ドライバIC)に関する。

## 【0002】

【従来の技術】 従来、LCDパネルを駆動する多出力・狭ピッチの1チップドライバICを実現するためには、チップ内において、配線のためにセグメント信号出力部とコモン信号出力部との間のギャップを大きく取ったり、実装バランスを考慮してコモン信号出力部の出力ピッチを大きくすること等が必要であった。

## 【0003】

【発明が解決しようとする課題】 しかしながら、そのようにすると、ドライバICのチップサイズが大きくなつ

てしまうという問題があった。また、出力信号の数が多くなると、ドライバICからLCDパネルへの配線の引き回しが困難になるとともに、LCDパネルの額縁部が大きくなってしまう。更に、LCDパネルの配線が細くなり、画質が低下してしまうという問題があった。

【0004】 そこで、上記の点に鑑み、本発明は、画像表示装置への配線を容易にすると共に、安定した実装を実現できる多出力の半導体装置を提供することを目的とする。

## 【0005】

【課題を解決するための手段】 以上の課題を解決するため、本発明に係る半導体装置は、2次元画像を表示する画像表示装置の第1群の信号電極に第1群の駆動信号を供給し、第2群の信号電極に第2群の駆動信号を供給するための半導体装置であって、半導体装置の長手方向の第1の辺に沿って第1の領域に配列され、第1群の駆動信号の内の所定数の駆動信号を画像表示装置に出力するための第1群の出力端子と、第1の辺に沿って第1の領域に隣接する第2の領域に配列され、第2群の駆動信号を画像表示装置に出力するための第2群の出力端子と、第1の辺に沿って第2の領域に隣接する第3の領域に配列され、第1群の駆動信号の内の残りの駆動信号を画像表示装置に出力するための第3群の出力端子と、順次入力された第1群の駆動信号を制御信号によって定められる順番で第1群の出力端子にそれぞれ供給する第1の双方向レジスタと、第1の双方向レジスタにカスケード接続され、順次入力された第1群の駆動信号を制御信号によって定められる順番で第3群の出力端子にそれぞれ供給する第2の双方向レジスタと、半導体装置の長手方向の第2の辺に沿って第1群の出力端子に対応して配列された第1群のダミー端子と、第2の辺に沿って第3群の出力端子に対応して配列された第2群のダミー端子とを具備する。

【0006】 ここで、画像表示装置が液晶表示装置であり、第1群の駆動信号が液晶表示装置の複数のコモン電極にそれぞれ供給する複数のコモン信号であり、第2群の駆動信号が液晶表示装置の複数のセグメント電極にそれぞれ供給する複数のセグメント信号であっても良い。

【0007】 以上の様に構成した本発明に係る半導体装置によれば、順次入力された第1群の駆動信号を制御信号によって定められる順番で第1群及び第3群の出力端子にそれぞれ供給することにより、半導体装置と画像表示装置との間において種々のパターンの配線を可能として画像表示装置への配線を容易にし、さらに、ダミー端子を利用して安定した実装を実現することができる。

## 【0008】

【発明の実施の形態】 以下、図面に基づいて、本発明の実施の形態について説明する。なお、同一の構成要素には同一の参照番号を付して、説明を省略する。

【0009】 図1は、本発明の一実施形態に係る半導体

(3)

3

装置を用いたLCDモジュールの例を示す図である。本実施形態は、本発明をLCD用ドライバICに適用したものである。

【0010】図1に示すように、このLCDモジュール1は、ドライバIC2と、LCDパネル3と、ガラス基板4とを含んでいる。即ち、ガラス基板4上にドライバIC2とLCDパネル3とが実装され、LCDモジュール1を構成している。

【0011】LCDパネル3は、セグメント方向において複数の領域101、102、・・・を有し、コモン方向においても複数の領域301、302、・・・を有している。ここで、セグメント方向の1つの領域とコモン方向の1つの領域を特定することにより、1つの画素

(ドット)が特定される。一例としては、LCDパネル3が、セグメント方向において160個の領域を有し、コモン方向においても160個の領域を有する。この場合には、LCDパネル3は、 $160 \times 160$ の画素を有することになる。

【0012】ドライバIC2は1つの方向に長い形状を有しており、その実装面の長手方向の一辺(図中上方の辺)の中央部に沿ってセグメント信号を出力するための金(Au)バンプのセグメント信号出力端子S1～S160が形成されている。また、ドライバIC2の実装面の長手方向の一辺(図中上方の辺)の上記中央部の両側の部分に沿って、コモン信号を出力するための金(Au)バンプのコモン信号出力端子C1～C80及びC81～C160が形成されている。更に、ドライバIC2の実装面の長手方向の他辺(図中下方の辺)に沿って、コモン信号出力端子C1～C80及びC81～C160と対向するよう、ダミー端子NC1～NC80及びNC81～NC160が形成されている。また、ドライバIC2の実装面の長手方向の他辺(図中下方の辺)に沿って、ダミー端子NC1～NC80とNC81～NC160との間に、金(Au)バンプの入力端子P1～P160が形成されている。

【0013】ガラス基板4上において、透明な配線LS1～LS160及びLC1～LC160が形成されている。LCDパネル3の領域101～260には、配線LS1～LS160によって、ドライバIC2のセグメント信号出力端子S1～S160がそれぞれ接続されている。また、LCDパネル3の領域301～380には、配線LC80～LC1によって、ドライバIC2のコモン信号出力端子C80～C1がそれぞれ接続され、LCDパネル3の領域381～460には、配線LC81～LC160によって、ドライバIC2のコモン信号出力端子C81～C160がそれぞれ接続されている。

【0014】ここで、配線LC80～LC1は、ドライバIC2のコモン信号出力端子C80～C1から一度図中下方向に延びてダミー端子NC80～NC1の下を通過した後、LCDパネル3の左側から領域301～38

4

0に至るように形成されている。一方、配線LC81～LC160は、ドライバIC2のコモン信号出力端子C81～C160から一度図中下方向に延びてダミー端子NC81～NC160の下を通過した後LCDパネル3の右側から領域381～460に至るように形成されている。

【0015】図2に、ドライバIC2に含まれている2つの双方向シフトレジスタ5～6と、これらのシフトレジスタ5～6を制御するシフト方向信号出力回路7、コモン方向走査信号入力制御回路8、及び、シフトレジスタ接続制御回路9とを示す。

【0016】シフトレジスタ5～6の各々は、シフト方向信号入力DIR、クロック信号入力CLK、第1及び第2入力IN1～IN2、第1及び第2出力OUT1～OUT2、シフト出力SH1～SH80を備えている。

【0017】シフトレジスタ5～6の各々は、シフト方向信号入力DIRにハイレベルの信号が入力された場合に、第1入力IN1から入力された信号をクロック信号入力CLKに入力されるクロック信号に同期してシフトさせ、シフト出力SH1～SH80及び第1出力OUT1から順次出力する。また、シフトレジスタ5～6の各々は、シフト方向信号入力DIRにローレベルの信号が入力された場合に、第2入力IN2から入力された信号をクロック信号入力CLKに入力されるクロック信号に同期してシフトさせ、シフト出力SH80～SH1及び第2出力OUT2から順次出力する。

【0018】シフトレジスタ5のシフト出力SH1～SH80は、コモン信号出力端子C1～C80(図1参照)にそれぞれ接続されている。また、シフトレジスタ6のシフト出力SH81～SH160は、コモン信号出力端子C81～C160(図1参照)にそれぞれ接続されている。

【0019】シフト方向信号出力回路7は、コモン信号出力端子C1～C160からどのような順序でコモン信号を出力するかを示すコモン信号出力方向制御信号を受け取り、このコモン信号出力方向制御信号に応じたシフト方向信号をシフトレジスタ5～6のそれぞれに出力する。

【0020】コモン方向走査信号入力制御回路8は、コモン信号出力方向制御信号を受け取り、このコモン信号出力方向制御信号に応じてコモン方向走査信号をシフトレジスタ5の第1入力IN1又は第2入力IN2に出力する。

【0021】シフトレジスタ接続制御回路9は、コモン信号出力方向制御信号を受け取り、このコモン信号出力方向制御信号に応じてシフトレジスタ5の第1出力OUT1又は第2出力OUT2とシフトレジスタ6の第1入力IN1又は第2入力IN2とを接続する。

【0022】次に、シフトレジスタ5～6の動作について説明する。図2において、シフトレジスタ5～6のク

50

(4)

5

ロック信号入力CLKには、クロックジェネレータ（図示せず）から所定周波数のクロック信号が常時入力されている。また、シフト方向信号出力回路7、コモン方向走査信号入力制御回路8、及び、シフトレジスタ接続制御回路9には、コモン信号をコモン信号出力端子C80～C1へ、次いでC81～C160へという順序で順次出力することを指示するコモン信号出力方向制御信号が入力されている。

【0023】上述したコモン信号出力方向制御信号に応じて、シフト方向信号出力回路7は、ローレベルの信号をシフトレジスタ5のシフト方向信号入力DIRに、ハイレベルの信号をシフトレジスタ6のシフト方向信号入力DIRにそれぞれ出力する。また、コモン方向走査信号入力制御回路8は、コモン方向走査信号をシフトレジスタ5の第2入力IN2に伝達する。更に、シフトレジスタ接続制御回路9は、シフトレジスタ5の第2出力OUT2とシフトレジスタ6の第1入力IN1とを接続する。

【0024】従って、図2の太線で示す経路に沿って、コモン方向走査信号が、コモン方向走査信号入力制御回路8からシフトレジスタ5の第2入力IN2に伝達され、コモン信号出力端子C80～C1へ順次出力される。次いで、コモン方向走査信号が、シフトレジスタ5の第2出力OUT2からシフトレジスタ接続制御回路9を経由してシフトレジスタ6の第1入力IN1に伝達され、コモン信号出力端子C81～C160へ順次出力される。

【0025】再び図1を参照すると、ドライバIC2のセグメント信号出力端子S1～S160からは、セグメント信号が順次出力される。一方、ドライバIC2のコモン信号出力端子C80～C1及びC81～C160からは、上述したシフトレジスタ5～6によってコモン信号が順次出力される。従って、ドライバIC2によって、LCDパネル3を駆動することができる。

【0026】なお、ドライバIC2のコモン信号出力端子C1～C160に対向する位置に何らの端子も形成しないことが考えられる。しかし、ドライバIC2のコモン信号出力端子C1～C160に対向する位置に何らの端子も形成しないと、その部分でドライバIC2がガラス基板4上で浮いてしまい、ドライバIC2のガラス基板4への実装が不安定になってしまう。そこで、本実施形態に係るドライバIC2においては、コモン信号出力端子C1～C160に対向する位置にダミー端子NC1～NC160を設けることにより、ガラス基板4上へのドライバIC2の安定した実装を実現した。

【0027】次に、本発明の一実施形態に係る半導体装置を用いたLCDモジュールの他の例について、図3を参照しながら説明する。

【0028】図3に示すように、LCDパネル3の領域101～260には、配線LS1～LS160によっ

6

て、ドライバIC2のセグメント信号出力端子S1～S160がそれぞれ接続されている。また、LCDパネル3の領域301～380には、配線LC1～LC80によって、ドライバIC2のコモン信号出力端子C1～C80がそれぞれ接続され、LCDパネル3の領域381～460には、配線LC81～LC160によって、ドライバIC2のコモン信号出力端子C81～C160がそれぞれ接続されている。

【0029】ここで、配線LC1～LC80は、ドライバIC2のコモン信号出力端子C1～C80から図中左上方向に延び、LCDパネル3の左側から領域301～380に至るように形成されている。一方、配線LC81～LC160は、ドライバIC2のコモン信号出力端子C81～C160から一度図中下方向に延びてダミー端子NC81～NC160の下を通過した後LCDパネル3の右側から領域381～460に至るように形成されている。

【0030】次に、シフトレジスタ5～6の動作について、図4を参照しながら説明する。図4において、シフトレジスタ5～6のクロック信号入力CLKには、クロックジェネレータ（図示せず）から所定周波数のクロック信号が常時入力されている。また、シフト方向信号出力回路7、コモン方向走査信号入力制御回路8、及び、シフトレジスタ接続制御回路9には、コモン信号をコモン信号出力端子C1～C80へ、次いでC81～C160へという順序で順次出力することを指示するコモン信号出力方向制御信号が入力されている。

【0031】上述したコモン信号出力方向制御信号に応じて、シフト方向信号出力回路7は、ハイレベルの信号をシフトレジスタ5のシフト方向信号入力DIR及びシフトレジスタ6のシフト方向信号入力DIRに出力する。また、コモン方向走査信号入力制御回路8は、コモン方向走査信号をシフトレジスタ5の第1入力IN1に伝達する。更に、シフトレジスタ接続制御回路9は、シフトレジスタ5の第1出力OUT1とシフトレジスタ6の第1入力IN1とを接続する。

【0032】従って、図4の太線で示す経路に沿って、コモン方向走査信号が、コモン方向走査信号入力制御回路8からシフトレジスタ5の第1入力IN1に伝達され、コモン信号出力端子C1～C80へ順次出力される。次いで、コモン方向走査信号が、シフトレジスタ5の第1出力OUT1からシフトレジスタ接続制御回路9を経由してシフトレジスタ6の第1入力IN1に伝達され、コモン信号出力端子C81～C160へ順次出力される。

【0033】再び図3を参照すると、ドライバIC2のセグメント信号出力端子S1～S160からは、セグメント信号が順次出力される。一方、ドライバIC2のコモン信号出力端子C1～C80及びC81～C160からは、上述したシフトレジスタ5～6によってコモン信

(5)

7

号が順次出力される。従って、ドライバIC2によって、LCDパネル3を駆動することができる。

【0034】以上説明したように、ドライバIC2内の2つのシフトレジスタ5～6をカスケード接続し、各々のシフト方向を所定の方向に設定することにより、配線LC1～LC160のような配線の引き回しを実現することができる。

【0035】次に、本発明の一実施形態に係る半導体装置を用いたLCDモジュールの更に他の例について、図5を参照しながら説明する。

【0036】図5に示すように、LCDパネル3の領域101～260には、配線LS1～LS160によって、ドライバIC2のセグメント信号出力端子S1～S160がそれぞれ接続されている。また、LCDパネル3の領域301～380には、配線LC1～LC80によって、ドライバIC2のコモン信号出力端子C1～C80がそれぞれ接続され、LCDパネル3の領域381～460には、配線LC160～LC81によって、ドライバIC2のコモン信号出力端子C160～C81がそれぞれ接続されている。

【0037】ここで、配線LC1～LC80は、ドライバIC2のコモン信号出力端子C1～C80から図中左上方向に延び、LCDパネル3の左側から領域301～380に至るように形成されている。一方、配線LC160～LC81は、ドライバIC2のコモン信号出力端子C160～C81から図中右上方向に延び、LCDパネル3の右側から領域381～460に至るように形成されている。

【0038】次に、シフトレジスタ5～6の動作について、図6を参照しながら説明する。図6において、シフトレジスタ5～6のクロック信号入力CLKには、クロックジェネレータ(図示せず)から所定周波数のクロック信号が常時入力されている。また、シフト方向信号出力回路7、コモン方向走査信号入力制御回路8、及び、シフトレジスタ接続制御回路9には、コモン信号をコモン信号出力端子C1～C80へ、次いでC160～C81へという順序で順次出力することを指示するコモン信号出力方向制御信号が入力されている。

【0039】上述したコモン信号出力方向制御信号に応じて、シフト方向信号出力回路7は、ハイレベルの信号をシフトレジスタ5のシフト方向信号入力DIRに、ローレベルの信号をシフトレジスタ6のシフト方向信号入力DIRにそれぞれ出力する。また、コモン方向走査信号入力制御回路8は、コモン方向走査信号をシフトレジスタ5の第1入力IN1に伝達する。更に、シフトレジスタ接続制御回路9は、シフトレジスタ5の第1出力OUT1とシフトレジスタ6の第2入力IN2とを接続する。

【0040】従って、図6の太線で示す経路に沿って、コモン方向走査信号が、コモン方向走査信号入力制御回

8

路8からシフトレジスタ5の第1入力IN1に伝達され、コモン信号出力端子C1～C80へ順次出力される。次いで、コモン方向走査信号が、シフトレジスタ5の第1出力OUT1からシフトレジスタ接続制御回路9を経由してシフトレジスタ6の第2入力IN2に伝達され、コモン信号出力端子C160～C81へ順次出力される。

【0041】再び図5を参照すると、ドライバIC2のセグメント信号出力端子S1～S160からは、セグメント信号が順次出力される。一方、ドライバIC2のコモン信号出力端子C1～C80及びC160～C81からは、上述したシフトレジスタ5～6によってコモン信号が順次出力される。従って、ドライバIC2によって、LCDパネル3を駆動することができる。

【0042】以上説明したように、ドライバIC2内の2つのシフトレジスタ5～6をカスケード接続し、各々のシフト方向を所定の方向に設定することにより、配線LC1～LC160のような配線の引き回しを実現することができる。

【0043】

【発明の効果】以上述べた様に、本発明によれば、順次入力された駆動信号を制御信号によって定められる順番で2組の出力端子にそれぞれ供給することにより、半導体装置と画像表示装置との間において種々のパターンの配線を可能として画像表示装置への配線を容易にし、さらに、ダミー端子を利用して安定した実装を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置を用いたLCDモジュールの例を示す図である。

【図2】図1における双方向シフトレジスタの動作を示す図である。

【図3】本発明の一実施形態に係る半導体装置を用いたLCDモジュールの他の例を示す図である。

【図4】図3における双方向シフトレジスタの動作を示す図である。

【図5】本発明の一実施形態に係る半導体装置を用いたLCDモジュールの更に他の例を示す図である。

【図6】図5における双方向シフトレジスタの動作を示す図である。

【符号の説明】

1、11、21 LCDモジュール

2 ドライバIC

3 LCDパネル

4 ガラス基板

5、6 双方向シフトレジスタ

7 シフト方向信号出力回路

8 コモン方向走査信号入力制御回路

9 シフトレジスタ接続制御回路

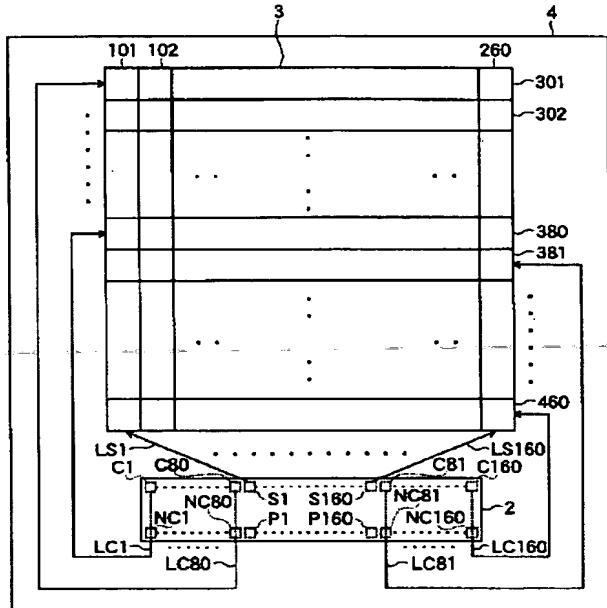
101、102、… LCDパネルにおいてセグメ

(6)

9

ント方向に分割された領域  
301、302、… LCDパネルにおいてコモン

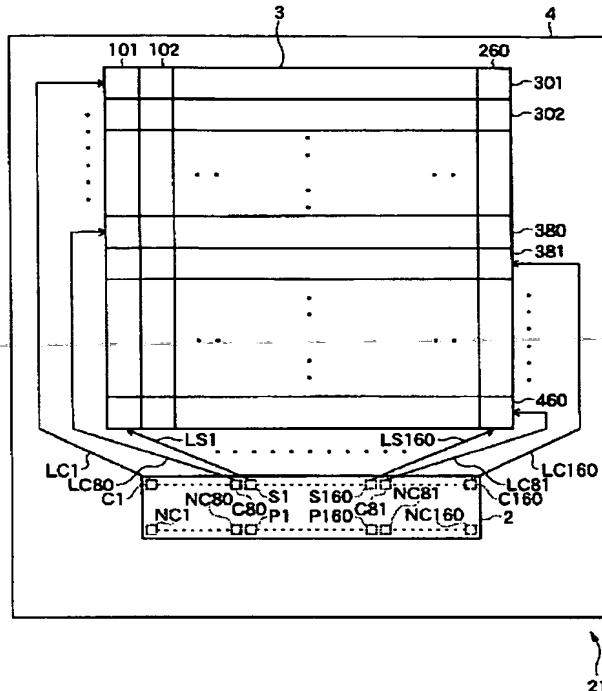
【図1】



方向に分割された領域

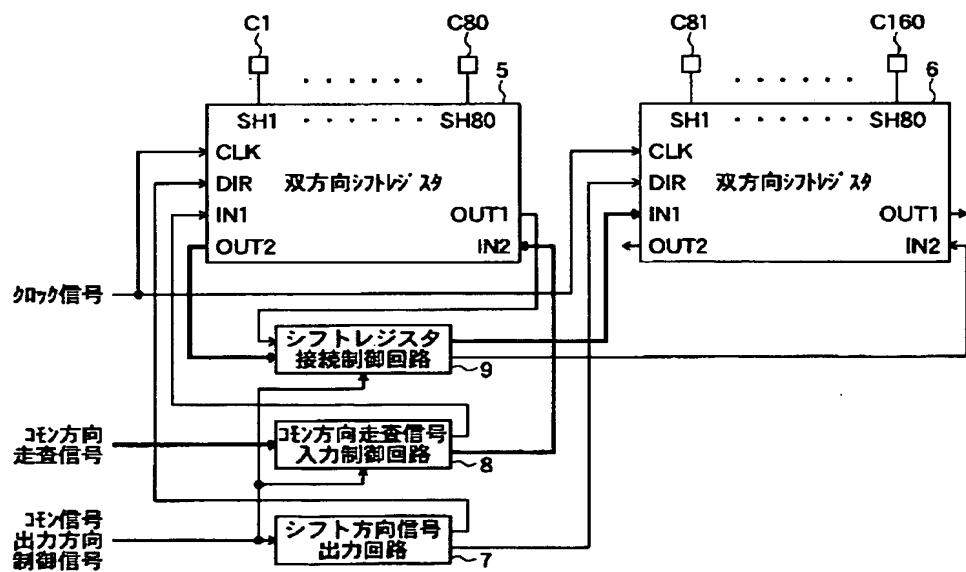
10

【図6】



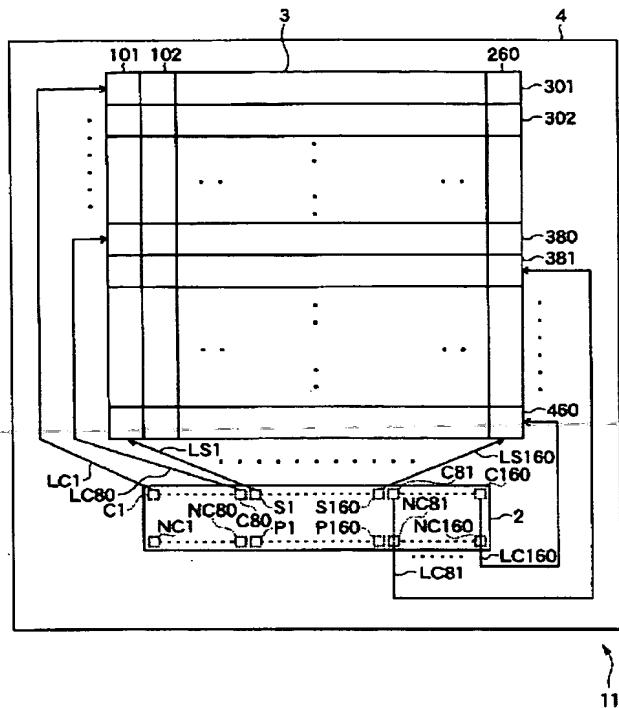
21

【図2】

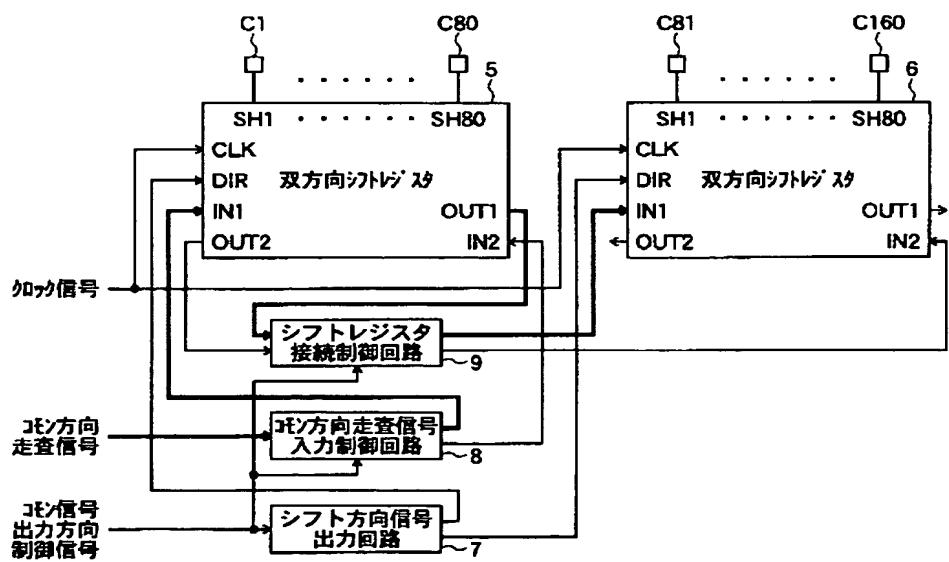


(7)

【図3】

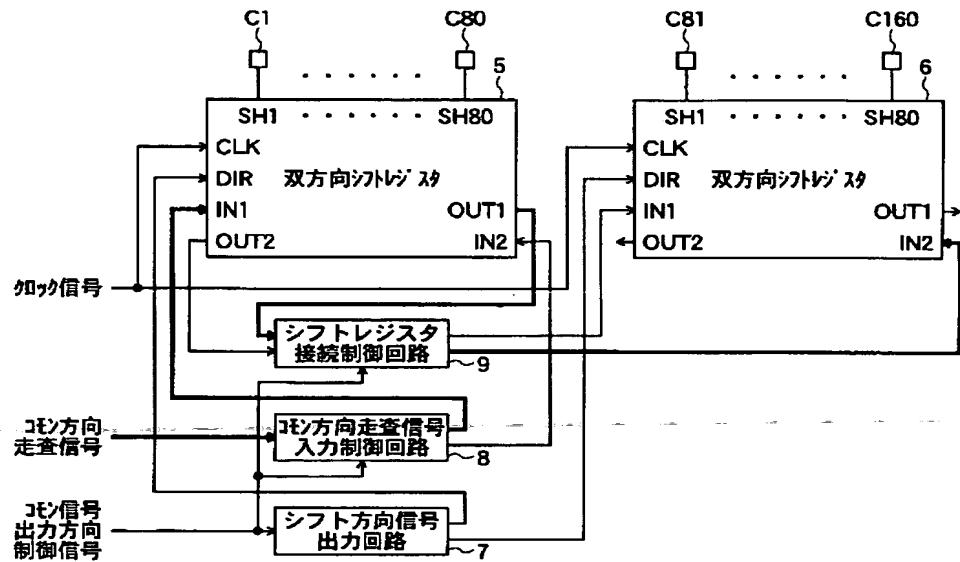


【図4】



(8)

【図5】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	マークコード* (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 H
	6 8 0		6 8 0 G

F ターム (参考) 2H093 NA06 NA28 NA79 NC22 ND42  
 5C006 AF59 BB11 BC12 BC20 BC23  
 BC24 BF03 EB05 FA41  
 5C080 AA10 BB05 DD25 DD28 FF09  
 JJ02  
 5C094 AA60 BA43 CA14 EA01 EA04  
 EA07 EB02  
 5G435 AA00 BB12 CC05 EE37 EE41